Techv-54XP

开发板

使用说明书

北京精仪达盛科技有限公司

2008.12

目　　　录

特别说明：

Techv_54XP 开发板的 PCB 板支持 TMS320VC5402、TMS320VC5409、TMS320VC5410、TMS320VC5416 四种 54x 系列的 CPU。用户在定货和使用时，需指定以上四种 CPU 中的一种。根据选择的 CPU，参考说明书中相应的部分。

第一章

Techv-54XP
开发板介绍

本章主要介绍 Techv-54XP 开发板的基本概况、主要功能以及原理框图等内容。

1.1、54XP 开发板概述

TMS320VC54XP开发板是一个独立的应用板卡，可以用来验证TMS320VC54X数字信号处理器的各种功能，以确定是否能够满足实际系统应用的具体要求。主要包括处理器单元、存储器、系统时钟、复位、电源、LED指示灯、DIP测试开关、标准串口、扩展总线（可扩展图像处理、高速AD、DA、USB、以太网等扩展板）。该产品适合于语音处理、通信、便携式检测设备等应用场合。具有高性能，低功耗的特点。

1.2、54XP 开发板主要功能

- 兼容 54X 系列处理器（5402、5409、5410、5416）；

  注：用户在定货时，需指定其中一种处理器

- 主处理器：定点 TMS320VC54X，16bit 的数据总线，工作频率最高 160MHz；
- 内部存储器：128Kx16bitSRAM（最大）以及 16Kx16bit 的 ROM（最大）；
- 外部程序/数据存储器扩展：64Kx16bit 数据、64Kx16bit 程序和 1Mx16bit 的 Flash，系统自动装载存储器；
- 标准的 RS232 接口；
- TI 公司 DSK、EVM 板兼容 Techv 扩展总线接口，可进行应用背板扩展；

- 所有扩展信号经电平转换，兼容+5V 电平；
- 标准 14 针 JTAG 调试接口；
- 在线可编程 CPLD，方便用户二次开发；
- 复位、时钟电路；
- 数字量输入 4bit（测试开关），电源、运行状态指示灯；
- 直流+5V 单电源供电，含电源转换电路。

1.3、54XP 开发板原理框图

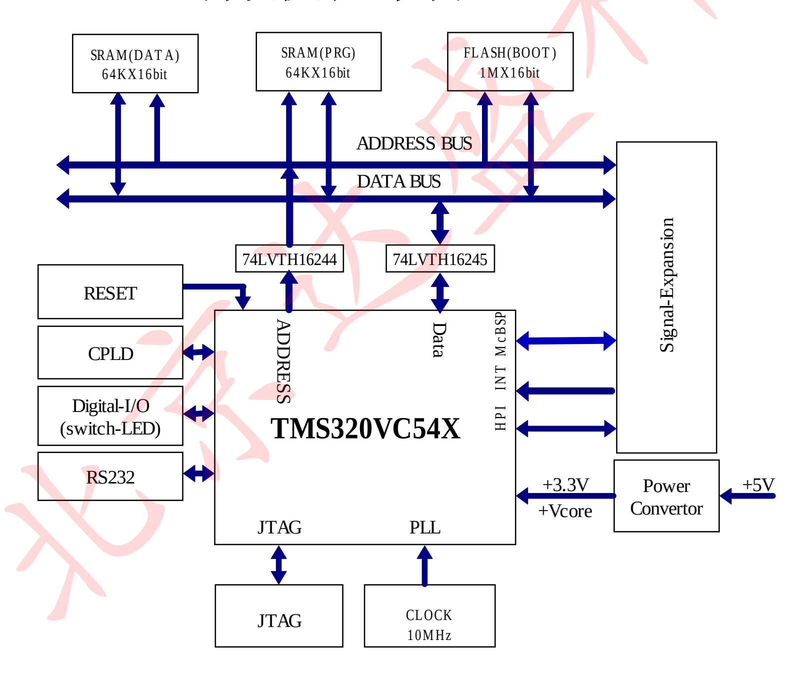


图 1.1、54XP 开发板原理框图

第二章

Techv-54XP
模块接口说明

本章主要介绍Techv-54XP开发板的各功能模块的主要特点，硬件接口等内容。

2.1、54XP 开发板组成

54XP开发板主要由以下几个模块组成：

- CPU模块；
- 时钟模块；
- 复位模块；
- Techv 扩展总线模块；
- HPI接口模块；
- CPLD模块；
- 电源模块；
- 存储器模块；
- 串口模块；

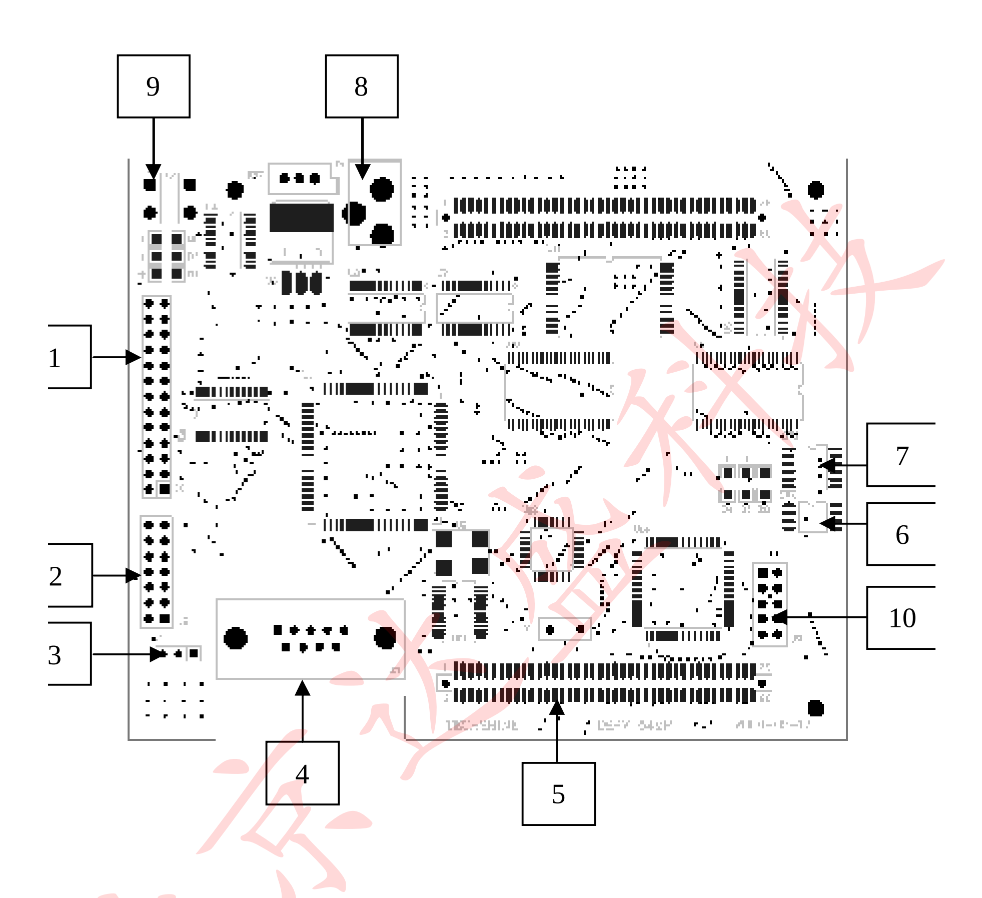


图2.1、外观和接口示意图

表2.1 接口说明

序号	1	2	3	4	5
含义	HPI接口 J6	DSP JTAG接口 J2	HPI设置跳线 J1	232接口 J3	Techv总线接口 J4、J5 J7、J8

序号	6	7	8	9	10
含义	拨码开关 SW2	拨码开关 SW1	电源插口 P1	复位按钮 S1	CPLD 下载口 J9

2.2、54XP 开发板模块介绍

2.2.1 CPU 模块

- **TMS320VC54X 的主要特征**
  - 多总线结构，三组 16-bit 数据总线和一组程序总线；

- 40-bit 算术逻辑单元（ALU），包括一个 40-bit 桶形移位器和两个独立的 40-bit 累加器；
- 17×17-bit 并行乘法器，连接一个 40-bit 的专用加法器，可用来进行非流水单周期乘/加（MAC）运算；
- 比较、选择和存储单元（CSSU）用于 Viterbi 运算器的加/比较选择；
- 指数编码器在一个周期里计算一个 40-bit 累加器的指数值；
- 两个地址发生器中有八个辅助寄存器和两个辅助寄存器算术单元（ARAUs）；
- 数据总线具有总线保持特性；
- 扩展寻址方式；
- 支持单指令循环和块循环；
- 存储块移动指令提供了更好的程序和数据管理；
- 支持 32-bit 长操作数指令，支持两个或三个操作数读指令，支持并行存储和并行装入的算术指令，支持条件存储指令及中断快速返回指令；
- 软件可编程等待状态发生器和可编程的存储单元转换；
- 连接内部振荡器或外部时钟源的锁相环（PLL）发生器；

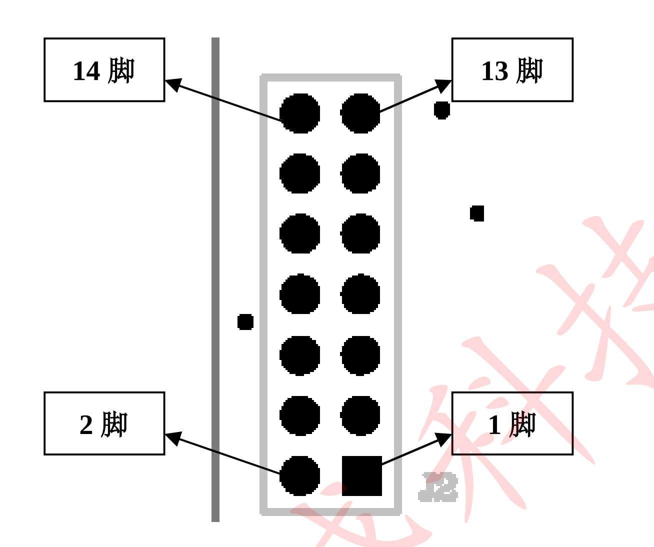
- 多通道缓冲缓冲串口（McBSP）；
- 并行主机接口（HPI）；
- 16-bit 定时器；
- DMA 控制器；
- 多种低功耗模式：IDLE1、IDLE2、IDLE3；
- 片内基于 JTAG 边界扫描逻辑（IEEE 1149、1）仿真逻辑；
- 单周期定点指令执行时间可达 6.25ns；

Ø 5402、5409、5410、5416 的主要区别

表2.1　5402、5409、5410、5416的主要区别

VC54X	指令周期（ns）	工作电压（V）	片内RAM（字）	片内ROM（字）	McBSP	TIMER	HPI (bit)
5402	10	3.3/1.8	16K	4K	2	2	8
5409	10	3.3/1.8	32K	16K	3	1	8/16
5410	10	3.3/2.5	64K	16K	3	1	8
5416	6.25	3.3/1.6	128K	16K	3	1	8/16

通过14针仿真口J2仿真CPU：



各引脚对应名称如下：

Signal	Pin	Pin	Signal
TMS	1	2	TRST-
TDI	3	4	GND
PD (+5V)	5	6	**no pin (key)**
TDO	7	8	GND
TCK-RET	9	10	GND
TCK	11	12	GND
EMU0	13	14	EMU1

Header Dimensions
Pin-to-Pin spacing, 0.100 in. (X,Y)
Pin width, 0.025-in. square post
Pin length, 0.235-in. nominal

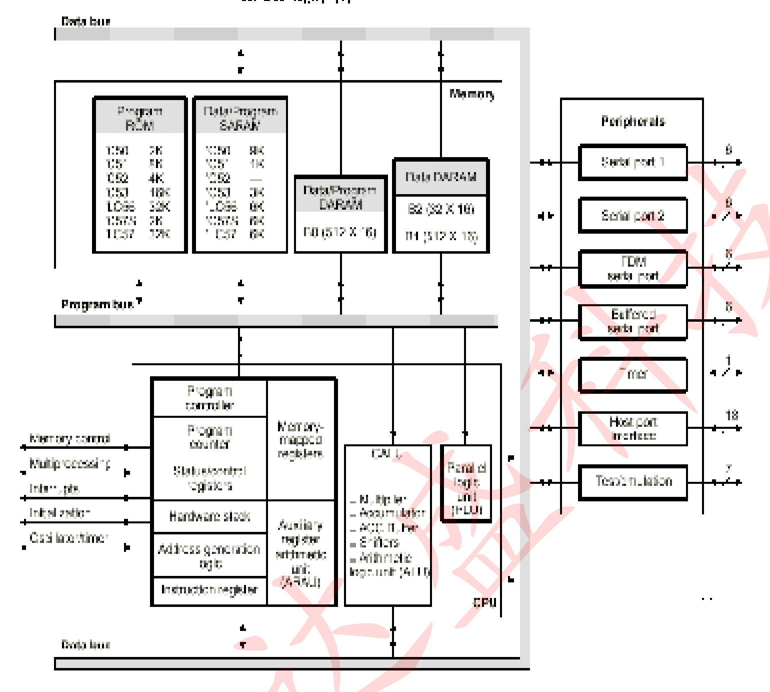


图2.2、54xCPU功能框图

详细资料参考相关的技术文档。

54XP 开发板的 PCB 板支持 TMS320VC5402、TMS320VC5409、TMS320VC5410、TMS320VC5416 四种 54X 系列的 CPU。用户在定货和使用时，需指定以上四种 CPU 中的一种。根据选择的 CPU，通过配置不同外围电路实现对不同 CPU 的兼容。

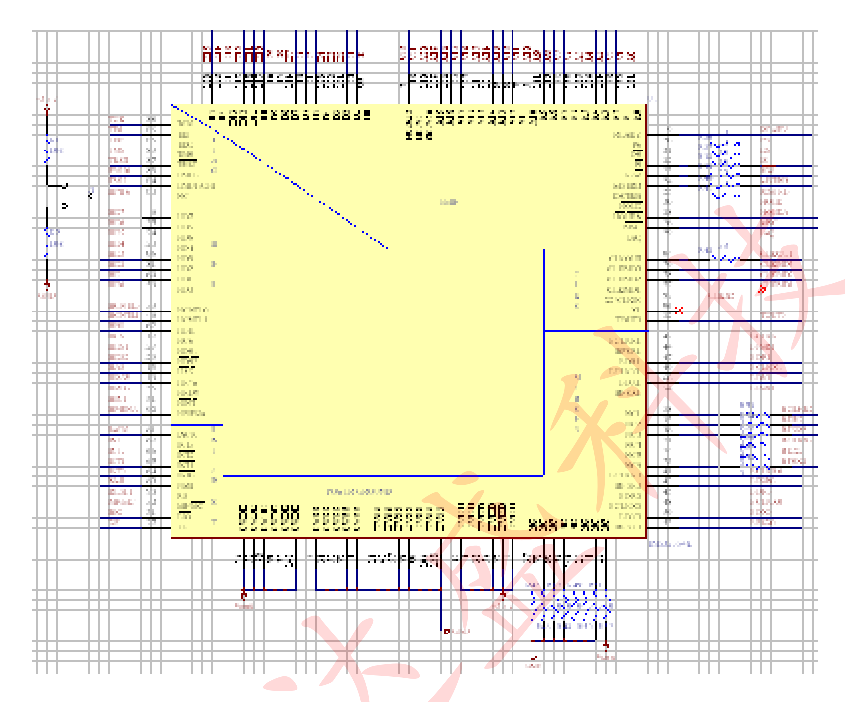


图2.3、CPU部分原理图

2.2.2 时钟模块

时钟选择表贴有源晶振（4 引脚），并通过 CPU 内部的锁相环控制电路，选择适当的倍频倍数，为 CPU 内部提供系统时钟。CPU 上电默认的时钟，由 CLKMD1、CLKMD2、CLKMD3 三个引脚的电平决定。具体如下图所示：

Clock Mode Settings at Reset

CLKMD1	CLKMD2	CLKMD3	CLKMD RESET VALUE	CLOCK MODE†
0	0	0	0000h	1/2 (PLL disabled)
0	0	1	9007h	PLL x 10
0	1	0	4007h	PLL x 5
1	0	0	1007h	PLL x 2
1	1	0	F007h	PLL x 1
1	1	1	0000h	1/2 (PLL disabled)
1	0	1	F000h	1/4 (PLL disabled)
0	1	1	—	Reserved (Bypass mode)

† The external CLKMD1–CLKMD3 pins are sampled to determine the desired clock generation mode while $\overline{RS}$ is low. Following reset, the clock generation mode can be reconfigured by writing to the internal clock mode register in software.

54XP 开发板 CLKMD1、CLKMD2、CLKMD3 三个引脚的电平由拨码开关 SW1 设置。

表2.2　SW1开关的设置

位号	ON	OFF	缺省
1	MP/MC=0 DSP 工作微计算机方式	MP/MC=1 DSP 工作微处理器方式	OFF
2	CLKMD1=0	CLKMD1=1	OFF
3	CLKMD2=0	CLKMD2=1	5402\5409\5416 OFF 5410 ON
4	CLKMD3=0	CLKMD3=1	5402\5409\5416 ON 5410 OFF

5	HPIENA=0 不选择 HPI 模块功能	HPIENA=1 选择 HPI 模块功能	OFF
6	空脚	空脚	OFF

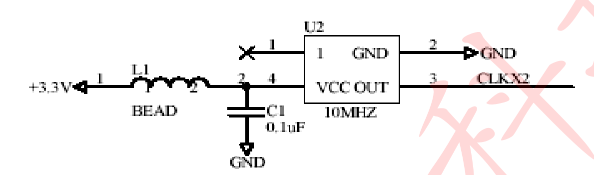


图2.4、时钟电路原理图

2.2.3 复位模块

复位电路包括上电复位和硬件手动复位，每次复位要求至少要有8到10个系统时钟，还要考虑上电晶振的稳定时间。因此要求适当的配置复位电路RC网络。

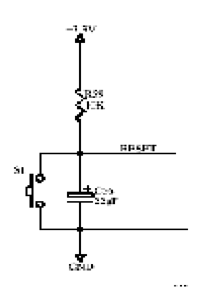


图2.5、复位部分原理图

2.2.4 Techv 扩展总线模块

Techv总线接口是我公司定义的总线接口标准，兼容TI公司DSK、EVM开发板扩展总线。Techv开发板可以通过Techv总线级连。

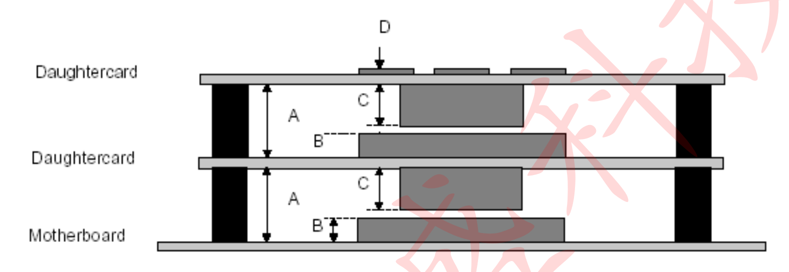
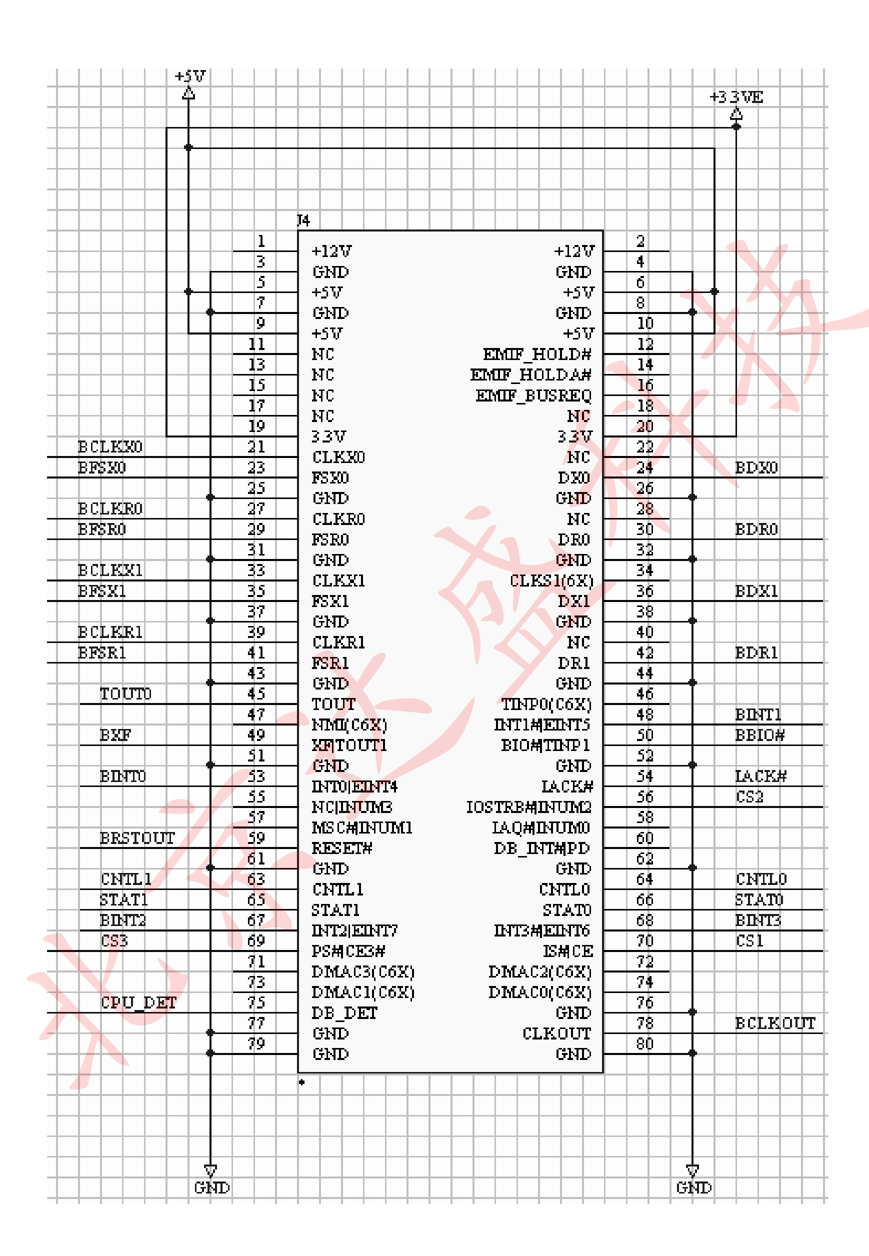


图 2.6、Techv 开发板级连示意图

由于 DSP 采用 3.3V 和 1.8V 供电，而且其输入输出接口电平为 3.3V，对于数字量输出而言完全可以和 5V TTL 电平兼容。但对于数字量输入而言，由于其内部是 3.3V，因此不能将中央处理器的输出口直接和外围扩展的 5V 器件相连。通过 LVTH16245 和 LVTH16244 进行电平转换和驱动。



+5V
+3.3VE
J4
+12V
GND
+5V
EMIF_HOLD#
EMIF_HOLDA#
EMIF_BUSREQ
NC
3.3V
BCLKX0
BFSX0
CLKX0
FSX0
DX0
BDX0
BCLKR0
BFSR0
CLKR0
FSR0
DR0
BDR0
BCLKX1
BFSX1
CLKX1
FSX1
CLKS1(6X)
DX1
BDX1
BCLKR1
BFSR1
CLKR1
FSR1
DR1
BDR1
TOUT0
TOUT
TINP0(C6X)
BXF
NMI(C6X)
XF|TOUT1
INT1#|EINT5
BIO#|TINP1
BINT1
BBIO#
BINT0
INT0|EINT4
NC|INUM3
MSC#|INUM1
IACK#
IOSTRB#|INUM2
IAQ#|INUM0
IACK#
CS2
BRSTOUT
RESET#
DB_INT#PD
CNTL1
STAT1
BINT2
CS3
INT2|EINT7
PS#|CE3#
CNTL0
STAT0
INT3#|EINT6
IS#|CE
BINT3
CS1
CPU_DET
DMAC3(C6X)
DMAC1(C6X)
DB_DET
DMAC2(C6X)
DMAC0(C6X)
CLKOUT
BCLKOUT
GND

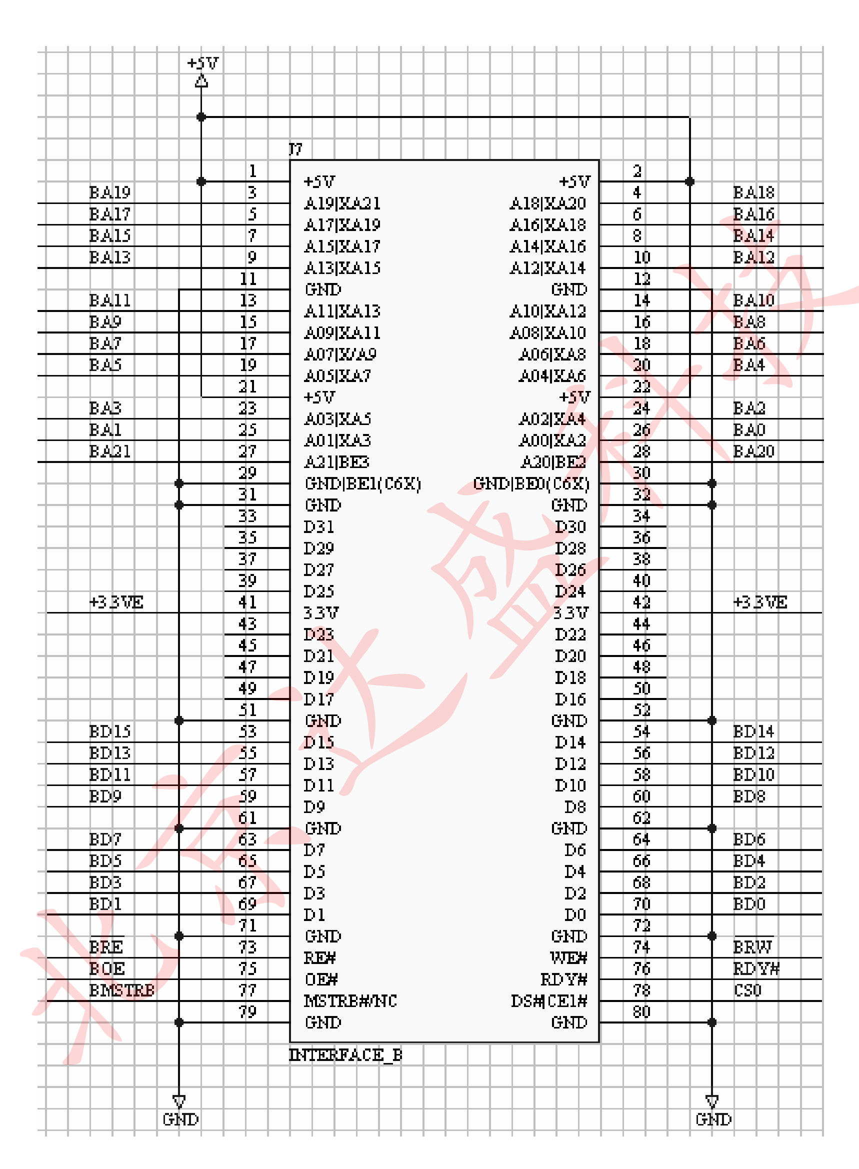


图2.7、Techv总线原理图

2.2.5 HPI 接口模块

主机接口（HPI）是一个8-bit的并口，提供54X与主处理机的接口。54X和主处理机都可以访问54X的片内存储器，并且通过它进行信息交换。HPI接口信号通过LVTH16245进行电平转换和驱动，通过26针的双排方针和主机通讯。McBSP2也通过J4引出。

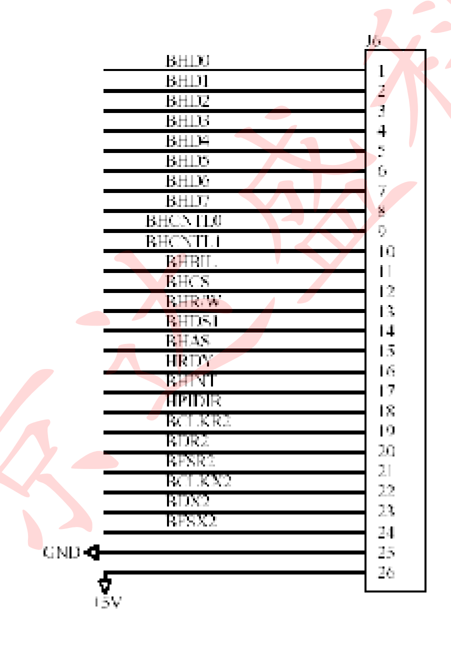
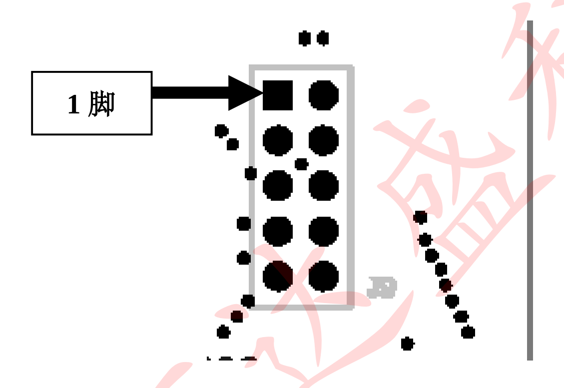


图2.8、HPI接口原理图

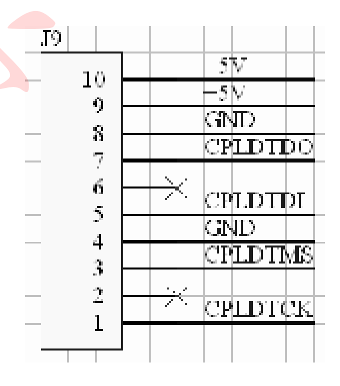
2.2.6 CPLD 模块

采用XILINX公司的XC95144XL芯片，完成译码和时序控制。J9为CPLD下载接口。可用XILINX公司的软件，通过并口下载电缆对CPLD在线编程。

CPLD JTAG封装如下图所示：



引脚分配如下图所示：



2.2.7 电源模块

由于 VC54X 数字信号处理器采用 IO （3.3V）和 Vcore 内核双电源供电，因此需要将通用的 5V 电源转换成为 3.3V 和 Vcore。为中央处理器提供内部电源。转换电路如图所示：

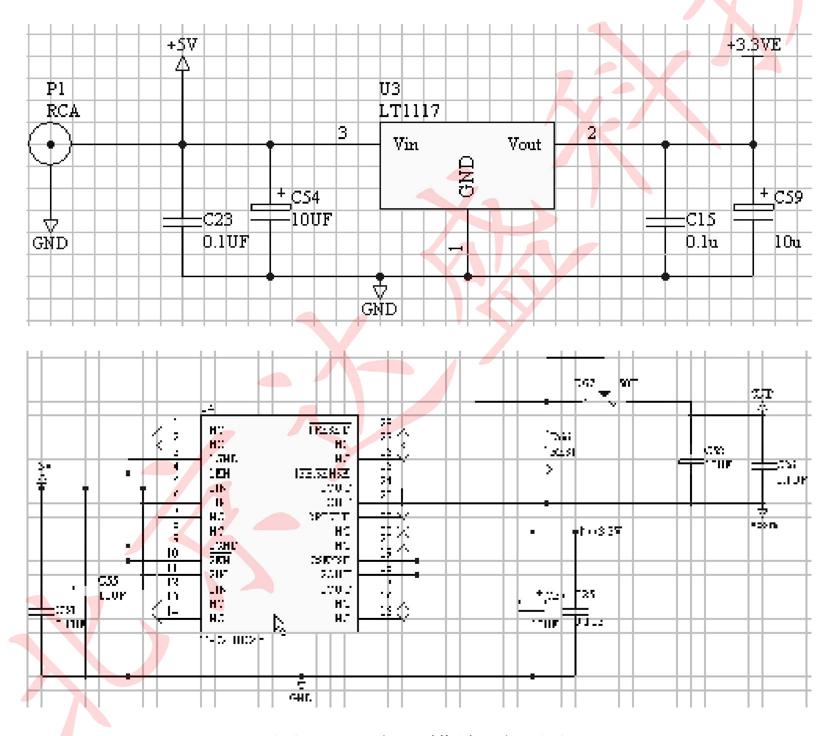


图 2.9、电源模块原理图

电源芯片选用TI公司的TPS767D3XX系列的双输出LDO芯片。同时，采用单独LT1117-3.3V，LDO稳压块为扩展板提供+3.3V

电源。整个54XP板采用+5V单电源供电。

注：供电插口P1内正外负。

2.2.8 存储器模块

54XP开发板扩展了64Kx16bit数据、64Kx16bi程序和1Mx16bit的Flash，系统自动装载存储器。在程序和数据量大的时候，用户可以把程序和数据放在扩展的外部存储器中。FLASH存储器用于54XP的BOOTLOADER，用户可以通过烧写程序把调试好的程序烧写到FLASH中。

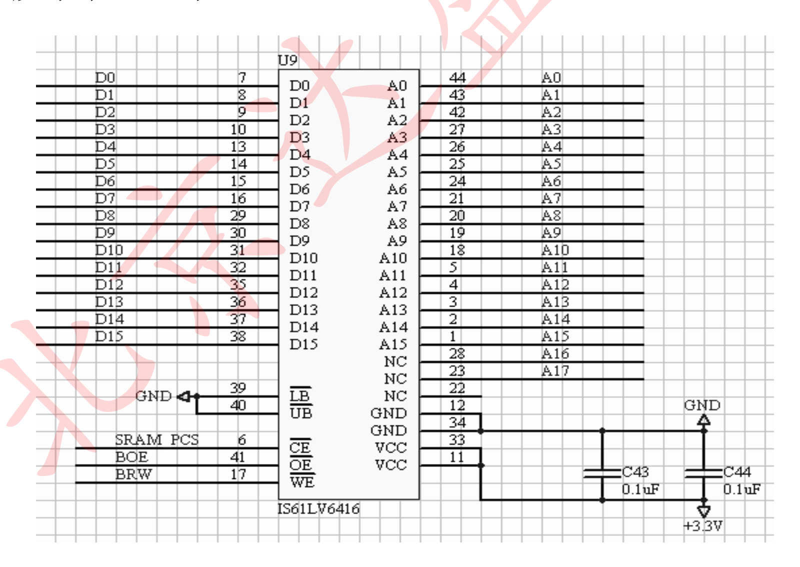


图2.10、外扩程序存储器原理图

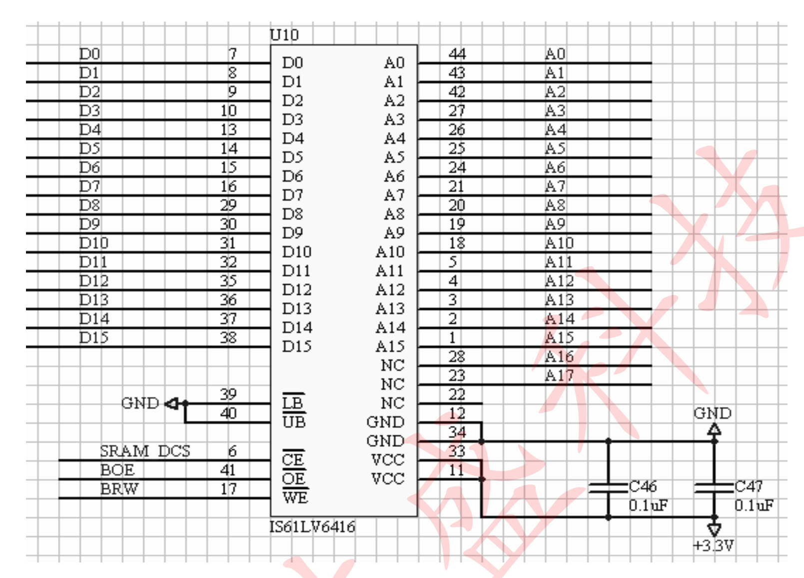


图2.11、外扩数据存储器原理图

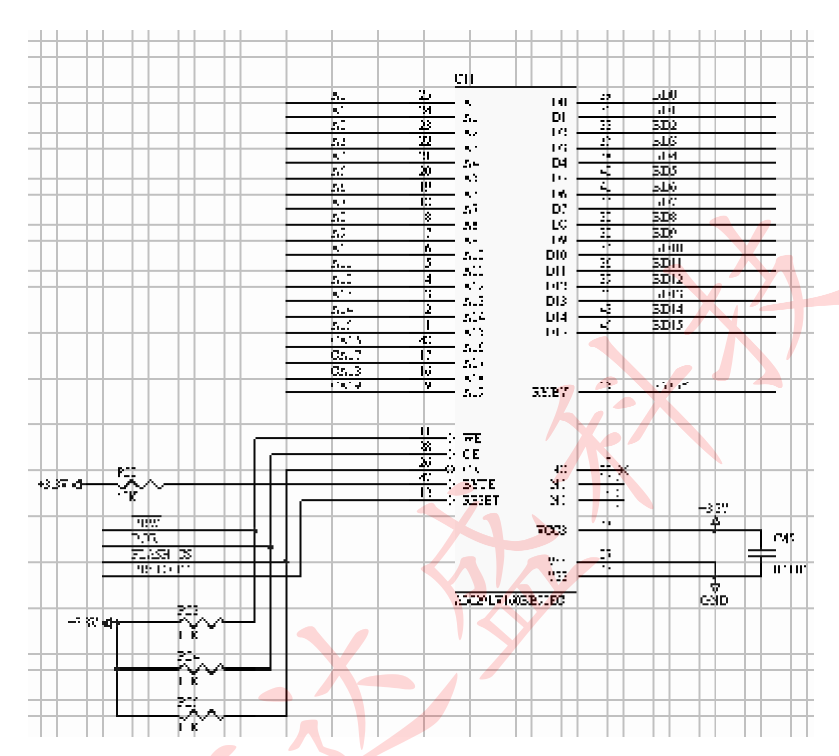


图2.12、外扩FLASH存储器原理图

映射空间：

程序存储器映射地址空间：0000h～ffffh；

数据存储器映射地址空间：0000h～7fffh；

对应译码：

srampcs_pin<='0' when bps='0' and bmstrb='0' else '1';

sramdcs_pin<='0' when bds='0' and bmstrb='0' and a15='0' else '1';

flash存储器作为数据存储器时被映射到数据空间0000h～7fffh；

flash存储器被映射的空间为数据空间的8000h～ffffh；

flash存储器作为程序存储器时被映射到程序空间0000h～ffffh；

IO空间地址8008：写该地址flash使能，读该地址flash不使能；

IO空间地址8009：写该地址flash复位，读该地址flash不复位；

IO空间地址800D：对该地址写入数据，设置FLASH的高位地址；

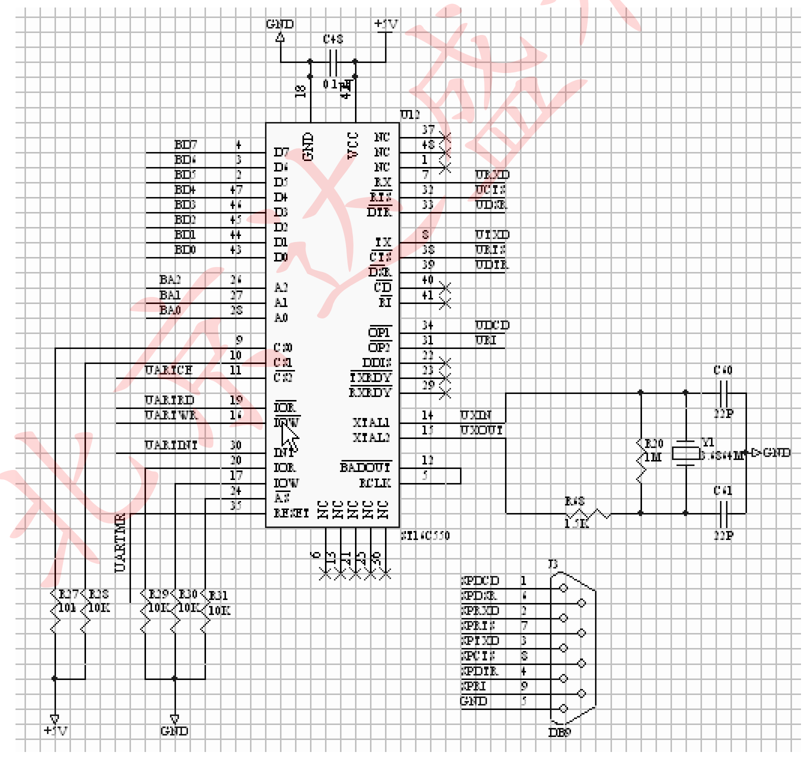
对应译码：

```
flashcs_pin<='0' when bds='0' and a15='1' and bmstrb='0' and
                        flash='0' else '1';
flash<='0' when flashen='0' or mpmc='0' else '1';
frs<='1' when reset_pin='0' else '0';
if(brw='0' and a15='1' and a3-0="1000") then flashen<='0';
elsif(brw='1' and a15='1' and a3-0="1000") then flashen    <='1';
elsif(brw='0' and a15='1' and a3-0="1001") then brstout<='0';
elsif(brw='1' and a15='1' and a3-0="1001") then brstout<='1';
IF(reset_pin='0') THEN    ca_pin<="0000";
                        --FLASH HIGH ADDRESS A19\A18\A17\A16
ELSIF(biostrb='1' AND biostrb'EVENT) THEN
                if(brw='0' and a15='1' and a3-0="1101") then
                   ca_pin<=bd_pin(3 downto 0);
```

```
        --FLASH HIGH ADDRESS A19\A18\A17\A16
    END IF;
```

2.2.9 串口模块

扩展标准232串口模块，可以和PC机进行通讯。通过16C550接口芯片扩展，MAX3238完成接口电平转换。串口电缆用双头孔的**直连电缆**。



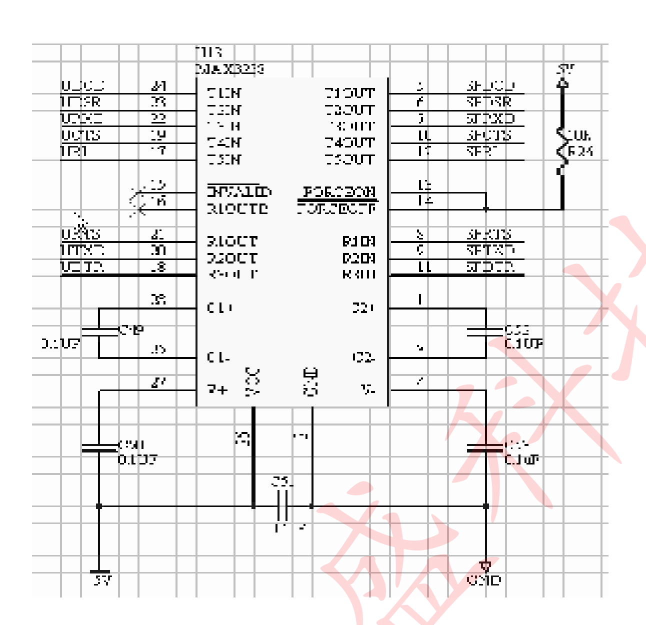


图2.13、串口模块原理图

译码地址：

IO空间地址800f：写该地址使能UART，读该地址不使能UART；

LCR寄存器地址:8003H；

IER寄存器地址:8001H；

IIR寄存器地址:8002H(READ ONLY)；

MCR寄存器地址:8004H；

LSR寄存器地址:8005H；

FCR寄存器地址:8002H(write only)；

RBR寄存器地址:8000H(READ ONLY)；

THR寄存器地址:8000H(WRITE ONLY)；

对应译码：

uartce_pin<='0' when bis='0' and biostrb='0' and a15='1' and a3-0(3)='0' else '1'; --uart address=io 800(0~7)h

uartrd_pin<=not brw;

uartwr_pin<=brw;

uartmr_pin<=uartmr;

2.2.10 拨码开关及 LED 灯的功能介绍

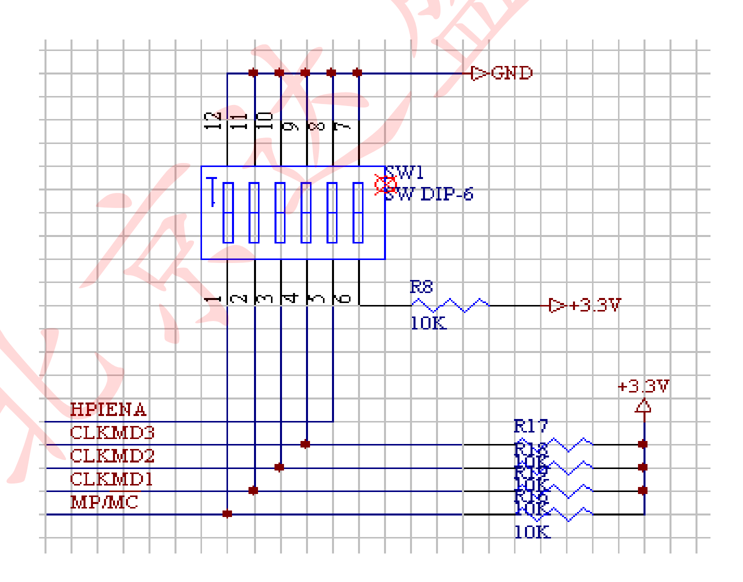


图2.14、拨码开关SW1原理图

拨码开关状态值：ON=0，OFF=1；

位号	ON	OFF	缺省
1	MP/MC=0 DSP 工作 微计算机方式	MP/MC=1 DSP 工作 微处理器方式	OFF
2	CLKMD1=0	CLKMD1=1	OFF
3	CLKMD2=0	CLKMD2=1	5402\5409\5416 OFF 5410 ON
4	CLKMD3=0	CLKMD3=1	5402\5409\5416 ON 5410 OFF
5	HPIENA=0 不选择 HPI 模块功能	HPIENA=1 选择 HPI 模块 功能	OFF
6	空脚	空脚	OFF

SW2的各位均接入CPLD，用来参与译码，实现功能如下：

SW2.1=1或SW2.3=0时，flash使能被屏蔽，并通过灯**D6**来显示；

SW2.1=1或SW2.2=0时，flash复位被屏蔽，并通过灯**D5**来显示；

灯**D4**用来指示CPU引脚XF的状态；

注：小灯高电平熄灭，低电平点亮。

```
led_pin(2)<=flash      when switch_pin(0)='1' else switch_pin(3);
led_pin(1)<=frs        when switch_pin(0)='1' else switch_pin(2);
```

led_pin(0)<=xf_pin;

S1为系统的复位按钮，每按下，CPU发生复位。

LED灯**D1**为5V电压指示，亮表5V供电正常；

LED灯**D2**为3.3V电压指示，亮表3.3V供电正常；

LED灯**D3**为核电压指示，亮表核电压供电正常；

2.2.11 外扩片选分配空间及中断对应关系

BCS0映射到IO空间0000～1ffffH；

BCS1映射到IO空间2000～3ffffH；

BCS2映射到IO空间4000～7ffffH；

BCS3映射到数据空间8000～fffffH；

对应译码：

cs_pin(0)<='0' when bis='0'and biostrb='0' and a15='0' and a14='0' and a13='0' else '1';

cs_pin(1)<='0' when bis='0'and biostrb='0' and a15='0' and a14='0' and ba13='1' else '1';

cs_pin(2)<='0' when bis='0'and biostrb='0' and a15='0' and a14='1' else '1';

cs_pin(3)<='0' when bds='0' and bmstrb='0' and a15='1' else '1';

TECH-V总线上中断与DSP中断为一一对应关系；

2.2.12 其余信号译码地址说明

TECH-V总线上的STA0\STA1信号映射到IO空间，地址为800CH；此信号与公司相应的扩展板配合使用；

对应译码：

```
bd_pin(0)<=sta0_pin when bis='0' and biostrb='0' and a15='1'    and a3-0="1100" and brw='1' else 'Z';
bd_pin(1)<=sta1_pin when bis='0' and biostrb='0' and a15='1'    and a3-0="1100" and brw='1' else 'Z';
```

TECH-V总线上的CNTL0/CNTL1信号均映射到IO空间，地址分别为800AH/800BH；此信号与公司相应的扩展板配合使用；

写IO空间地址800ah，CNTL0=0；

读IO空间地址800ah，CNTL0=1；

写IO空间地址800bh，CNTL1=0；

读IO空间地址800bh，CNTL1=1；

对应译码：

```
if(brw='0' and a15='1' and a3-0="1010") then    cntl0_pin<='0';
elsif(brw='1' and a15='1'    and a3-0="1010") then cntl0_pin<='1';
```

```
elsif(brw='0' and a15='1'    and a3-0="1011") then cntl1_pin<='0';

elsif(brw='1' and a15='1'    and a3-0="1011") then cntl1_pin<='1';
```

第三章

Techv-54XP

开发板译码说明总结

本章主要介绍Techv-54XP开发板的各功能模块占用的CPU板的端口地址资源。

1、扩展程序存储器U9：映射到DSP的扩展程序空间，地址0~FFFF；

2、扩展数据存储器U10：映射到DSP的扩展数据空间，地址0~7FFF；

3、扩展FLASH存储器U11：映射到DSP的扩展数据空间，地址8000~FFFF；

FLASH在下面的情况下使能：写IO空间8008H 或 DSP的MP/MC引脚为0，即拨码开关的SW1的第1位为ON。

FLASH不使能：读IO空间8008H

FLASH复位：写IO空间8009H

FLASH不复位：读IO空间8009H

FLASH的分页：上电默认第0页；写IO空间800DH，写数据的低4位，为FLASH的分页地址。

4、UART扩展芯片16C550：映射到DSP的扩展IO空间，地址8000~8007H。

UART复位：写IO空间800FH

UART不复位：读IO空间800FH

5、扩展片选：

BCS0：映射到DSP的扩展IO空间，地址0000~1FFF

BCS1：映射到DSP的扩展IO空间，地址2000~3FFF

BCS2：映射到DSP的扩展IO空间，地址4000~7FFF

BCS3：映射到DSP的扩展数据空间，地址8000~FFFF

6、扩展的IO口：

输入STA0、STA1：映射到DSP的扩展IO空间，地址800CH；

输出CNTL0：

写IO 800AH　CNTL0=0；

读IO 800AH　CNTL0=1；

输出CNTL1：

写IO 800BH　CNTL1=0；

读IO 800BH　CNTL1=1；

7、LED指示灯：

D4：DSP的XF引脚指示灯，XF=1，灭；XF=0，亮

当拨码开关SW2的第1位OFF时：

D5：FLASH的复位指示灯，复位，灭；不复位，亮

D6：FLASH的使能指示灯，不使能，灭；使能，亮

当拨码开关SW2的第1位ON时：

D5：代表SW2的第3位的状态，用于测试；

D6：代表SW2的第4位的状态，用于测试；

第四章

Techv-54XP

开发板测试说明

本章主要介绍Techv-54XP开发板模块的测试。

4.1、电源模块

用+5V 稳压电源(内正外负)，从 P1 电源插座给 CPU 板上电，D1、D2、D3　LED 灯点亮。如以上三个 LED 有不点亮，断电检查+5V、+3.3V、Vcore(CPU 内核)电压是否正常。

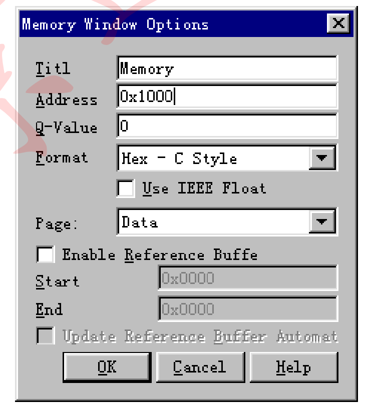
4.2、DSP 程序测试部分

1）测试 XF 引脚实验；

进入 CCS，下载“testxf\Debug\exp01.OUT”文件，运行，D4 指示灯亮灭变化，表明 DSP 工作正常。

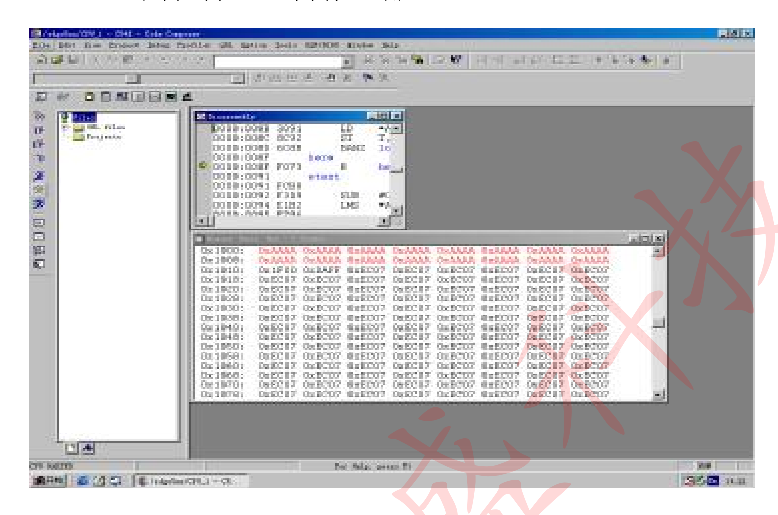
2）测试内存实验；

下载“testram\Debug\exp02.OUT”文件，输入要查看的内存单元地址，要查看 0x1000H~0x100FH 单元的数值变化，输入地址 0x1000H；



运行程序后，停止程序，观察 1000~100F 内容：都变为

0XAAAA，则说明 DSP 内存正确。

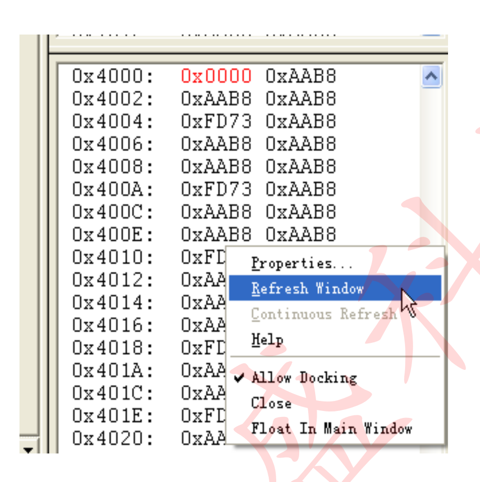


3）测试扩展数据 RAM：

在 CCS-VIEW-MEMORY 打开 RAM 观察窗口：按下图设置（以 5402CPU 为例，不同的 CPU，**要把 CPU 相关标志位设置为外部 RAM 状态**）



把 4000H 单元的内容改为 0X000 或 0XFFFF，刷新窗口，其它没改的单元内容不变化，表明扩展数据 RAM 正常。



4）测试扩展程序 RAM：

在 CCS-VIEW-MEMORY 打开 RAM 观察窗口：按下图设置（以 5402CPU 为例，不同的 CPU，要把 CPU 相关标志位设置为外部 RAM 状态）



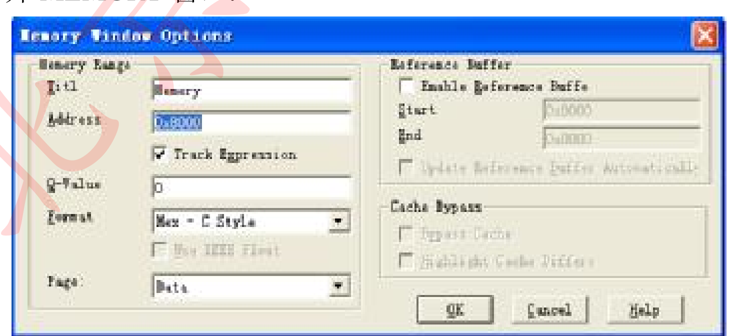
把 4000H 单元的内容改为 0X000 或 0XFFFF，刷新窗口，其它没改的单元内容不变化，表明扩展程序 RAM 正常。

```
0x004000:   0x0000  0xAABE  0xA
0x004005:   0x4475  0x4555  0x4
0x00400A:   0xA88E  0xFAAA  0xC
0x00400F:   0x5576  0xBAAA  0xA
0x004014:   0xD053  0x4554  0x5
0x004019:   0xAAAF  0x8AAB  0xA
0x00401E:   0xD17A  0x7559  0xB
0x004023:   0xAAEA  0x44DC  0x5
0x004028:   0xEAAD  0x0EA0  0x2
```

5）测试 FLASH;

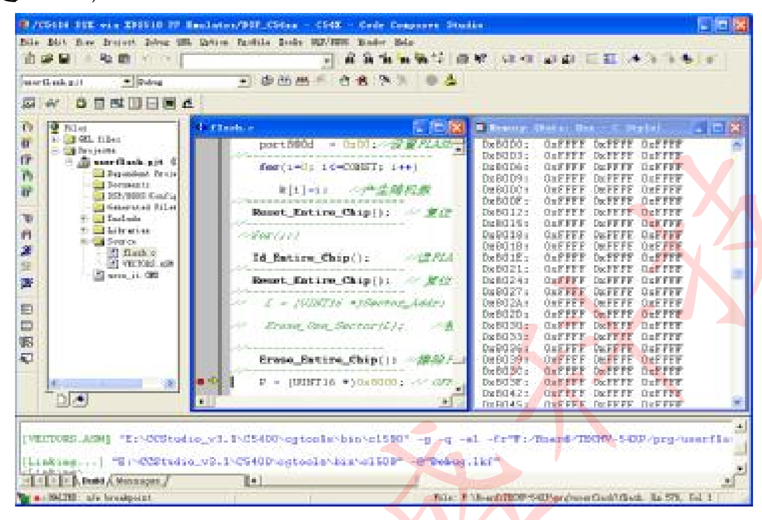
打开“userflash\“下的 flash.pjt 文件，　设置断点：

打开 MEMORY 窗口：

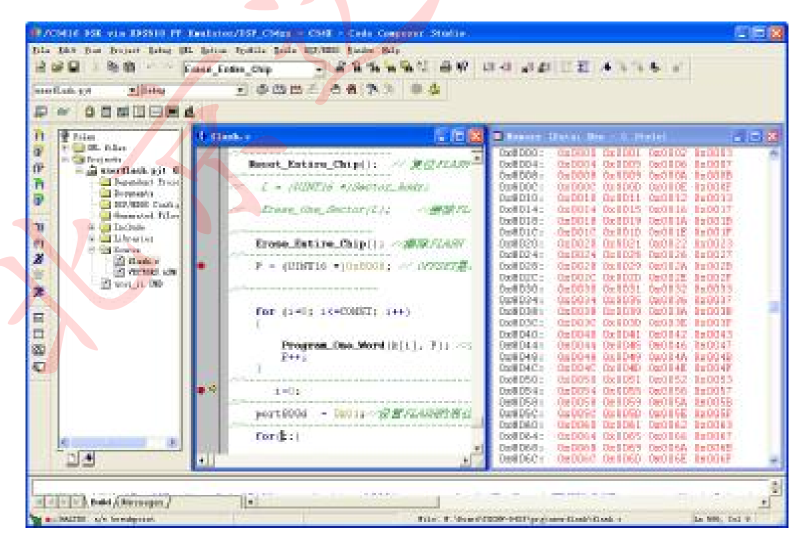


程序运行到第一个断点：　擦除整个芯片　，RAM 窗口变成全

是 FFFF；

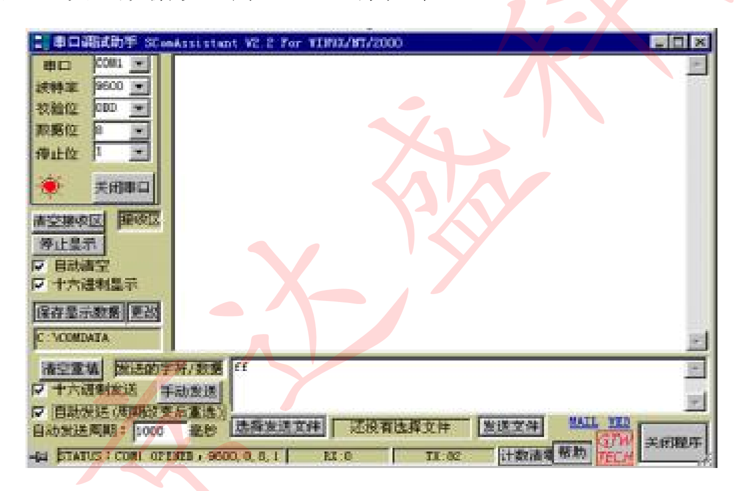


程序运行到第二个断点：写 FLASH ，RAM 窗口变成写如的随机数 0~200。

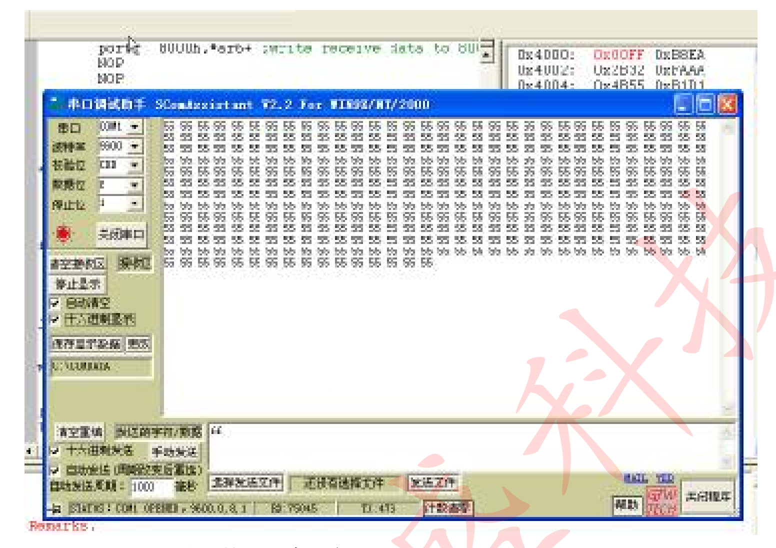


6）测试串口；

用双头孔的**直连串口**电缆连接54XP　CPU的串口和PC机的串口1，下载“prg\54xp \TESTUART\ TESTUART.OUT”文件，运行串口调试助手，设置为8 位 、ODD 校验、 1 位停止、 波特率 9600BIT/S，自动清空、十六进制显示、十六进制发送、自动发送，发送数据设置为FF，运行程序。



在串口调试助手的接收数据窗口，出现55，同时在CCS 打开MEMORY观察窗口观察“DATA”空间从0X4000单元的内容，可观察到0X4000单元的内容变为0X00FF，表明串口工作正常。

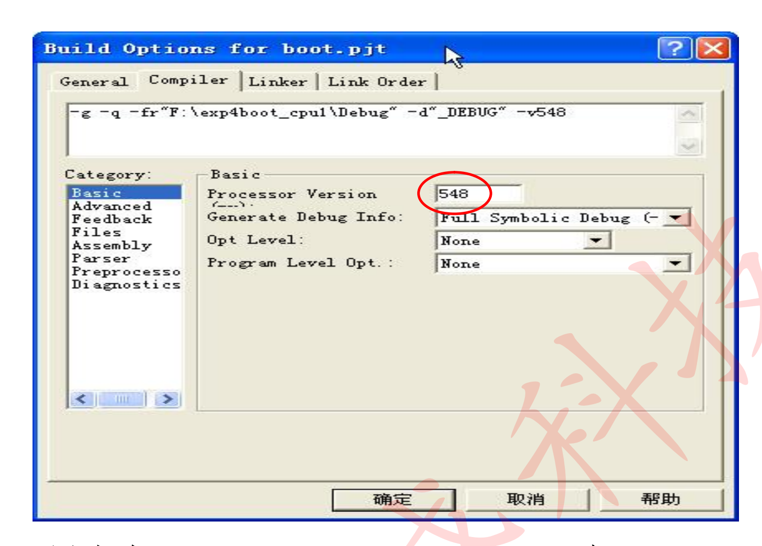


4.3 FLASH 固化程序说明

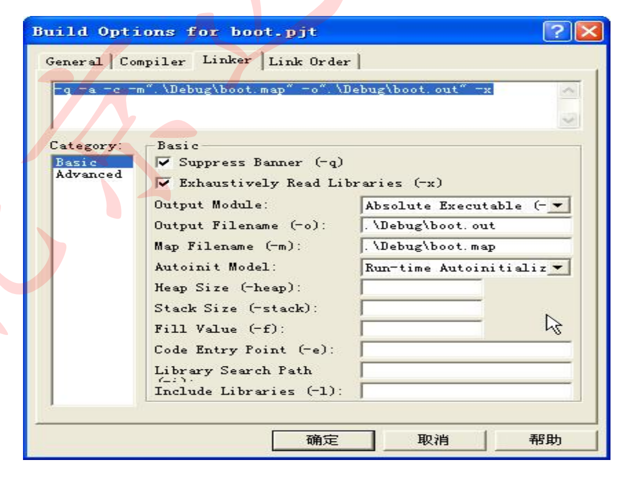
自举表的生成步骤如下：

1、在 CCS 中编译通过想要写到 FLASH 中的工程文件，文件在 \sourcecode\xf\boot.pjt

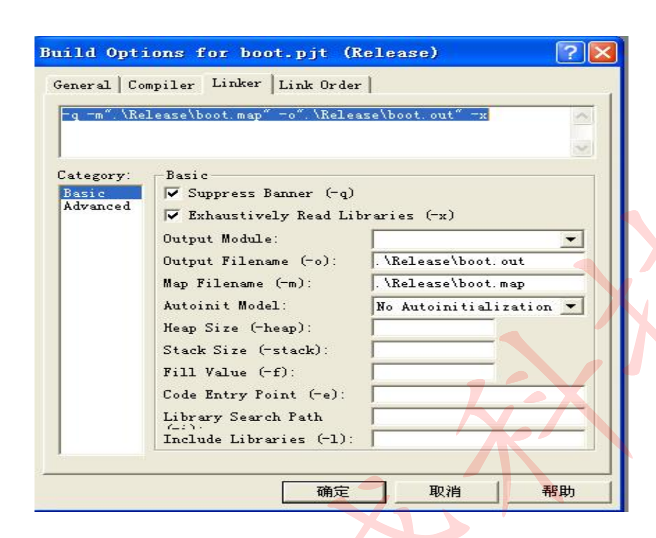
2、注意在 CCS 中，编译该程序之前时，打开 PROJECT->BUILD OPTIONS->COMPILER，加上-v548 选项，如下所示：**（此处很关键）**点击确定；



同时，在 PROJECT->BUILD OPTIONS->LINKER 中 MAP FILENAME（－m） 后填入”.\debug/boot.map” 点击确定。如果程序是 C 源程序，进行如下设置：



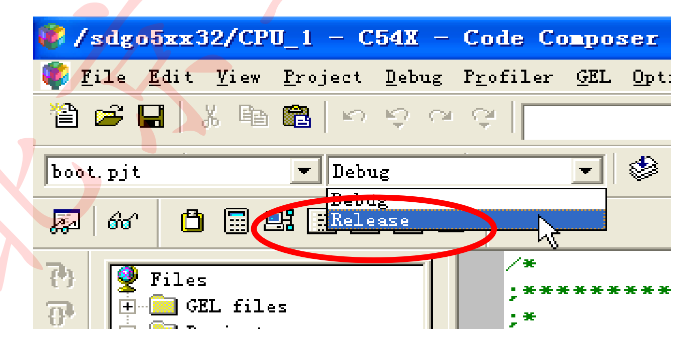
如果程序是汇编程序，进行如下设置：



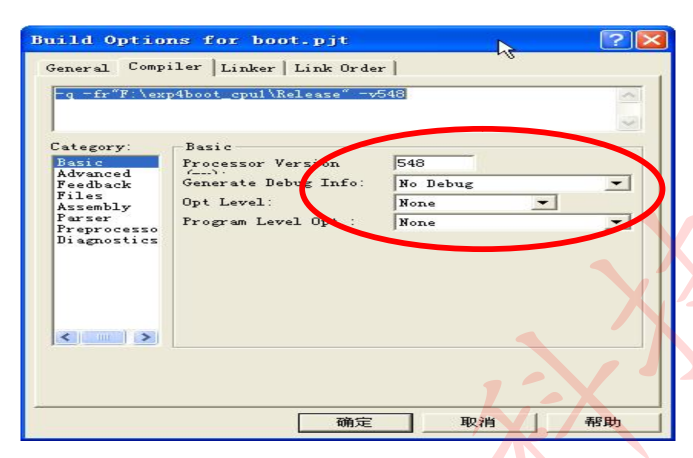
3、进行编译：（REBUILD ALL）

4、编译后产生了两个文件，一个是 boot.MAP，一个 boot.OUT，这两个文件存放在 sourcecode\xf\debug 文件夹下。

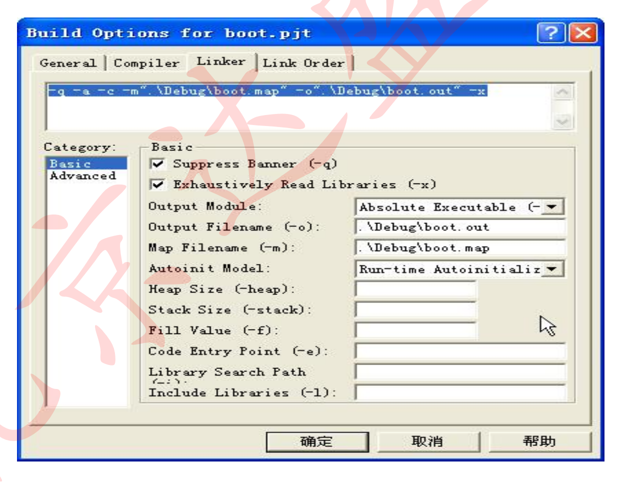
5、在 CCS 的快捷菜单中选择 Release 编译版本：



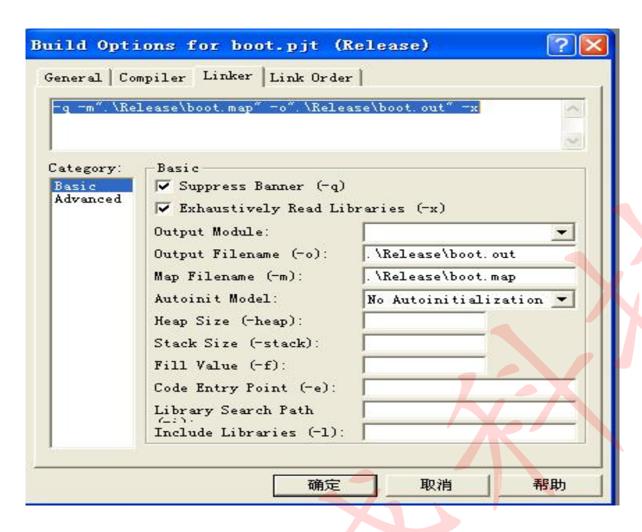
编译选项按如下设置：



注意：去掉 COMPILER 中的符号调试和优化选项：如果程序是 C 源程序，进行如下设置：



如果程序是汇编程序，进行如下设置：



6、进行编译:（REBUILD ALL）

7、编译后产生了两个文件,一个是 boot.MAP,一个 boot.OUT，这两个文件存放在 sourcecode\xf\release 文件夹下。

8、用记事本编写一个 main.cmd 文件.该文件对于 8 位并行和 16 位并行有一些不同,在文件夹 outtohex 下存有该文件,可供参照。内容如下:

MAIN.CMD

boot.out (.OUT 文件)

-I (输出文件为 INTER 格式)

-map lcd.map (.MAP 文件)

-memwidth 16 (16 并行加载时为 16,8 位并行加载时为 8)

-romwidth 16　　(16 并行加载时为 16,8 位并行加载时为 8)

-bootorg PARALLEL　（并行加载模式）

-e 0x1a00　　　　(程序运行的起始地址_c_int00；C 程序时)

（程序运行的起始地址："_main" address: 00001a00；汇编程序时）

-o dsp.hex　　　　（输出的文件名）

-boot　　　　　　　（产生 boot 格式的自举表）

ROMS　　　　　　　（定义 ROM 的地址）

```
{
PAGE 0:
    ROM:    origin=0x0000,length=0x8000
                fill=0ffffh
}
```

9．**(程序运行的起始地址_main/_c_int00)的确定：**

用记事本打开 sourcecode\xf\release 文件夹下 boot.MAP，找到_c_int00：**下图是 C 程序时的截图；**

就是 －e 选项的地址；

```
**************************************************************
         TMS320C54x COFF Linker PC Version 3.83
**************************************************************
>> Linked Thu Mar 24 10:57:07 2005

OUTPUT FILE NAME:   <./Release/boot.out>
ENTRY POINT SYMBOL: "_c_int00"  address: 00002d4e


MEMORY CONFIGURATION
```

对应本实验烧写程序时，**找到_main:就是-e 选项的地址：**



```
boot.map
**************************************************************
         TMS320C54x COFF Linker PC v4.1.0
**************************************************************
>> Linked Tue Dec 09 13:50:53 2008

OUTPUT FILE NAME:   <./Release/boot.out>
ENTRY POINT SYMBOL: "_main"  address: 00001a30

MEMORY CONFIGURATION

                 name            origin    length      used     attr    fill
         ----------------------  --------  ---------  --------  ----  --------
PAGE  0: PROG                    00001a00  00002580   0000002e  RWIX
PAGE  1: DATA                    000002c0  00001800   0000000c  RWIX

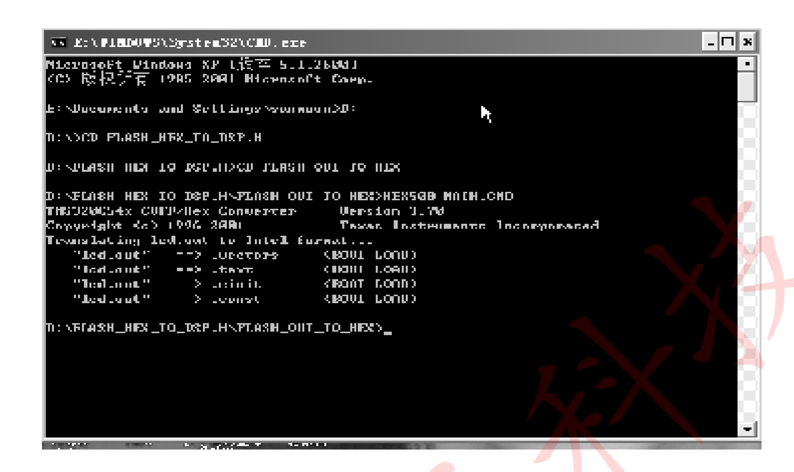
SECTION ALLOCATION MAP

 output                                  attributes/
section   page    origin      length       input sections
--------  ----  ----------  ----------   ----------------
.cinit     0    00001a30    00000000     UNINITIALIZED
```

10、boot.MAP,boot.OUT(改名)放到 OUTTOHEX 目录下,在 ti 的安装目录下将 HEX500.EXE 拷贝到 OUTTOHEX 目录，PC 机上把 WINDOWS 切换到 DOS 模式，

运行 ：

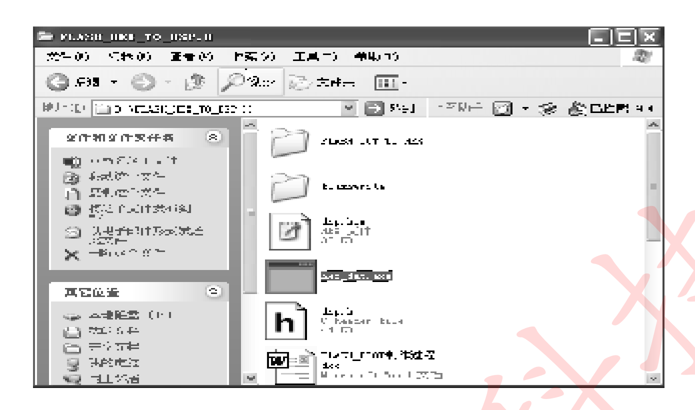
HEX500.EXE MAIN.CMD 回车.如下图:



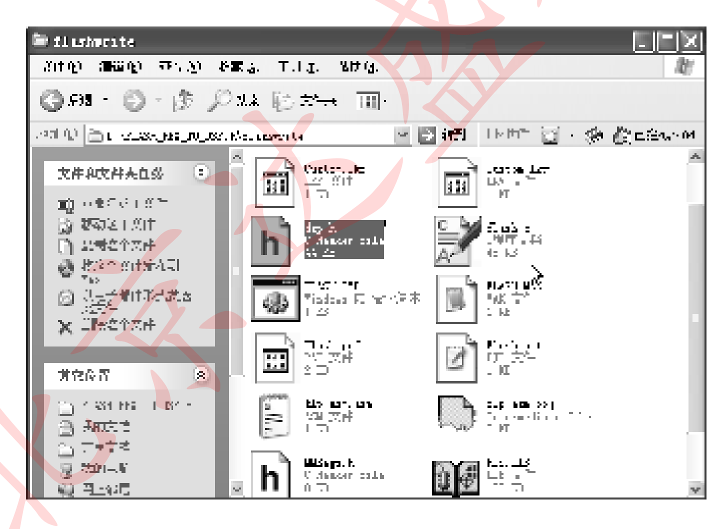
得到 dsp.HEX.



11、把 DSP.HEX 放到“hextoh”目录，运行程序 HEX_DAT.EXE(双击就可以运行)得到 DSP.H,如下图:**（注：HEX_DAT.EXE 是格式转换文件，需要用户根据不同的 boot 方式自行编写）。**



将 DSP.H 文件 COPY 到 FLASHWRITE\flashwrite 文件夹中，如下图：



至此，已经把编译得到的 OUT 文件转化为了 C 语言格式的”.h”文件。

12、把 dsp.h 文件烧写到 CPU 板上的 FLASH 中

烧写时 CPU 板上的拔码开关设置如下：

SW1:拔码开关

码位	备注
1	OFF
2	OFF
3	OFF
4	OFF
5	ON
6	无关

SW2：拔码开关：

码位	备注
1	ON
2	ON
3	ON
4	无关

在 CCS 中打开\flahswrite\flashwrite \userflash.pjt,装载程序，在下图处设置断点：

运行程序，直到断点停止，数据已经烧写到 FLASH 中。



Memory (Data: Hex - C Style)

Address								
0x8000:	0x10AA	0x7FFF	0xF800	0x0000	0x1A00	0x0026	0x0000	0x1A00
0x8008:	0xF495	0xF495	0x7718	0x0100	0x681D	0xFFFB	0x7758	0x0000
0x8010:	0x4858	0xF030	0x0001	0xF844	0x1A0B	0x7758	0xF007	0xF495
0x8018:	0xF495	0xF7BD	0xF074	0x1A1B	0xF6BD	0xF074	0x1A1B	0xF073
0x8020:	0x1A11	0xF495	0xF495	0x7713	0x170F	0x7714	0x00F9	0x6C8C
0x8028:	0x1A1F	0x6C8B	0x1A1D	0xFC00	0xF495	0xF495	0x0000	0xFFFF
0x8030:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8038:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8040:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8048:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8050:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8058:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8060:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8068:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8070:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8078:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8080:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8088:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8090:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8098:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x80A0:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x80A8:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF

以上便是 TMS320VC5402 的 BOOTLOADER FLASH 烧写的全过程。

烧写完成，将 CPU 板掉电后重新上电，拨码开关 SW1.1 位置 ON（MC=0），其余设置不变，按复位按键 S1，运行程序，D4 应该按一定的时间间隔亮灭变化。

实验说明:

实验箱上带的 FLASH 的 0X8000~0XFFFFH 地址空间映射到了 DSP 的数据空间地址 0X8000~0XFFFFH。

系统上电复位后如检测到 MP/MC=0,则内部 4*16BIT ROM 有效,程序自动跳转到 FF80 执行,并进行 DSP 的初始化设置。

因此，烧写 FLASH 时，要向 FLASH 的 FFFF 单元中写入 8000。这个 8000 是 EEPROM 或 FLASH 映射到 DSP 的数据空间的地址且程序代码装入的起始地址。

4.4、系统及配件配置

54xpTechv 开发板发货应包括以下部件：（以单套为计算单位）

名称	数量	备注
54xp Techv 开发板	1	
+5V 稳压电源	1	内正外负
串口电缆	1	直连，两头孔
光盘	1	刻录测试程序、使用说明书、主要芯片资料、原理图